

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年9月16日 (16.09.2004)

PCT

(10) 国際公開番号  
WO 2004/079910 A1

- (51) 国際特許分類<sup>7</sup>: H03K 19/20, 19/06, H01J 21/10, 19/24  
(21) 国際出願番号: PCT/JP2004/002840  
(22) 国際出願日: 2004年3月5日 (05.03.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2003-061993 2003年3月7日 (07.03.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 辰巳 夏生 (TATSUMI, Natsuo) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽

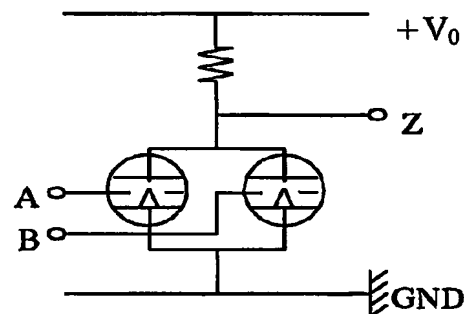
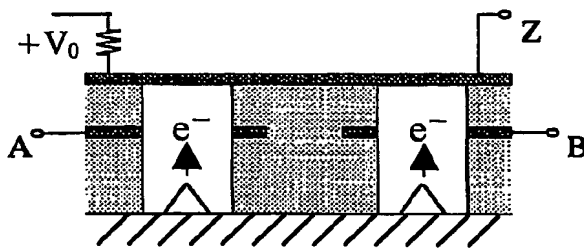
北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP). 西林 良樹 (NISHIBAYASHI, Yoshiki) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP). 今井 貴浩 (IMAI, Takahiro) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP). 中原 恒雄 (NAKAHARA, Tsuneo) [JP/JP]; 〒6640016 兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社 伊丹製作所内 Hyogo (JP).

- (74) 代理人: 酒井 正己, 外 (SAKAI, Masami et al.); 〒1070052 東京都港区赤坂4丁目13番5号 赤坂オフィスハイツ Tokyo (JP).  
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,

[続葉有]

(54) Title: LOGICAL OPERATION ELEMENT USING FIELD-EMISSION MICRO ELECTRON EMITTER AND LOGICAL OPERATION CIRCUIT

(54) 発明の名称: 電界放射型微小電子エミッタを用いた論理演算素子および論理演算回路



(57) Abstract: A logical operation element operative at high speed and integratable at a high degree of integration. A logical operation circuit is also disclosed. The logical operation circuit comprises a NOR element and a NAND element as logical operation elements. The Nor element has a structure in which the anodes of first and second field-emission micro electron emitters are brought to the same potential, and signal voltages of two or more systems are inputted into the gates electrodes corresponding to the emitters and in which when an input signal of high potential is inputted into either of the two systems, electrons are emitted from the emitter, and the potential of the anode is lowered. The NAND element has a structure in which the cathodes of first and second field-emission micro electron emitters are connected in series, signal voltages of two systems are applied to the gate electrodes corresponding to the first and second emitters, and the anode potential of the second emitter is lowered when both input signals are at high potentials.

(57) 要約: 高速で高集積が可能な論理演算素子および論理演算回路を提供する。論理演算回路において、論理演算素子として、第1及び第2の電界放射型微小電子エミッタのアノードを同電位とし、該エミッタに対応するゲート電極に2系統以上の信号電圧を入力する構造であって、2系統のどちらかに高電位の入力信号が入るとエミッタから電子放出が起こり、前記アノードの電位を低下させるようにしたNOR素子並びに第1及び第2の電界放射型微小電子エミッタのカソードを直列接続し、第1及び第2エミッタに対応するゲート電極には2系統の信号電圧が加えられており、両入力信号が高電位のときに第2エミッタのアノード電位を低下させるNAND素子を用いる。



LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,  
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,  
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が  
可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,  
SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,  
KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,  
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

## 明細書

### 電界放射型微小電子エミッタを用いた論理演算素子および論理演算回路

#### 技術分野

- 5      本発明は、電子ビームを放出する冷陰極素子を用いた論理演算素子およびこれを用いた論理演算回路に関するものである。

#### 背景技術

- 10      従来、論理演算にはS i 基板を用いたMOS FETの集積回路が用いられている。これらは固体デバイスであるためハンドリングしやすく、その動作周波数は微細化技術の進展によりGHzに達している。またNOT、NOR、NANDなどの論理演算素子およびそれらを結合して接続される論理演算回路はMOSデバイスを中心に想定して作られている。

- 15      S i 基板を用いたMOS FET以上の周波数で動作させる場合にはGaAs等の化合物半導体が使われ、特定の高周波増幅には真空管が使われている。真空管を用いるのは、真空中における方が固体中におけるよりもキャリアの電子の移動度が早いことを利用している。

- 20      真空管においては熱電子放出を利用する機会が多いが、低消費電流で大電流密度が得られることからSpindt型の電界放射型冷陰極を用いる場合がある。その高周波動作は、Journal of Vacuum Science and Technology B, 14 (1996) 1986 などに示されている。また、このような電界放射型冷陰極を集積回路に用いる例は特開平11-329263号公報などに示されている。

- 25      しかしながら、現在論理演算に広く用いられているS iなどの固体デバイスでは電子・ホール移動度に制限がある。リソグラフィなど微細化技術の進展により高速化が進められているが、その動作周波数には限界がきている。

一方、高周波動作が可能な真空管はその集積度に問題がある。また、小面積内に多数の素子を有するSpindt型の微小冷陰極は大電流密度という特性があることから論理演算よりはマイクロ波管やディスプレイなどに用途が集中している。

またこれらは動作電圧が高かった。そのため消費電力が大きくなると共に、逆バイアスがかかった場合の耐圧に問題が生じた。さらに電池駆動が出来ないなど、携帯性を持たせることも出来なかった。

- 5 前記の特開平11-329263号公報に記載の電界放射型冷陰極を集積回路に用いるものでは素子が平面構造であるため、素子構成には面積が必要となる。また電子放出素子で多段の演算を接続した場合の具体的な集積方法については特開平11-329263号公報では触れられていない。

### 発明の開示

- 10 そこで本発明はこのような従来技術の問題点を克服するためになされたもので、その目的は高速で高集積が可能な論理演算素子および論理演算回路を提供することにある。

すなわち、本発明は次に記載する構成を備えることにより、上記課題を解決することができた。

- 15 (1) 2つ以上の電界放射型微小電子エミッタのカソードを低電位電源もしくはグラウンドに並列に接続し、前記エミッタに対応する2つ以上のアノードを受動素子または能動素子を介して高電位電源に並列に接続し、2つ以上のアノードが実質的に同電位であり、前記エミッタに対応するゲート電極に2系統以上の信号電圧を入力する構造であって、2系統のどちらかに高電位の入力信号が入るとエミッタから電子放出が起こり、前記アノードの電位を低下させることを特徴とするNOR素子。
- 20

(2) 前記2つ以上の電界放射型微小電子エミッタのそれぞれに対応するアノード電極が単一の平面で構成されることを特徴とする(1)に記載のNOR素子。

- (3) 10V以下の電圧で動作することを特徴とする(1)又は(2)に記載のNOR素子。
- 25

(4) 第1の電界放射型微小電子エミッタのアノードと第2の電界放射型微小電子エミッタのカソードとが直列接続されており、第1エミッタと第2エミッタに対応するゲート電極には2系統の信号電圧が加えられており、両入力信号が高電位のときに第2エミッタのアノード電位を低下させることを特徴とするNAND

素子。

- (5) 第1の電界放射型微小電子エミッタのカソードと第2の電界放射型微小電子エミッタのカソードとが同一平面にあり、該第1のエミッタと該第2のエミッタとの間に垂直に形成された柱状電極によって該第1のエミッタのアノードと該  
5 第2のエミッタのカソードとが直列接続されることを特徴とする(4)に記載のNAND素子。

(6) 第1の電界放射型微小電子エミッタのアノードと第2の電界放射型微小電子エミッタのカソードとを一体として直列接続したことを特徴とする(4)に記載のNAND素子。

- 10 (7) 前記NAND素子の前記第1の電界放射型微小電子エミッタのアノードとゲート電極を素子平面に投影したときに重なり面積がないことを特徴とする

(4)～(6)のいずれかに記載のNAND素子。

(8) 10V以下の電圧で動作することを特徴とする(4)～(7)のいずれかに記載のNAND素子。

- 15 (9) 上記(1)～(3)のいずれかに記載のNOR素子および/または上記(4)～(8)のいずれかに記載のNAND素子を論理演算素子として含む論理演算回路。

- (10) 界放射型微小電子エミッタのカソードを低電位電源もしくはグラウンドに接続し、アノードを受動素子または能動素子を介して高電位電源に接続し、ゲ  
20 ートに入力する電位で出力のアノード電位を変化させるNOT素子を論理演算素子として含むことを特徴とする(9)に記載の論理演算回路。

(11) NOT素子とNOR素子とからなり、それらのエミッタのカソードを同電位にして論理演算を接続することを特徴とする(9)または(10)に記載の論理演算回路。

- 25 (12) 各素子の出力のアノードを受動素子を介するか、または直接に別の素子のゲートに接続させて論理演算の接続していることを特徴とする(9)～(11)のいずれかに記載の論理演算回路。

(13) 隣り合う二つの電界放射型微小電子エミッタが、一方のエミッタのアノードと他のエミッタのゲートとが同一平面となる構造、一方のエミッタのアノード

ドと他のエミッタのカソードとが同一平面となる構造または前記両者の構造を併せ持つ構造を有することを特徴とする (9) ~ (12) のいずれかに記載の論理演算回路。

(14) カソード・ゲート・アノードが同一の基板平面にあり、基板表面と平行  
5 方向に電子を放出することを特徴とする (9) ~ (13) のいずれかに記載の論理演算回路。

(15) 前記素子の基板としてノンドープの半導体基板を用い、各エミッタの突起部分もしくは周辺にのみ導電性のドーピング領域を作って各エミッタを電氣的に分離していることを特徴とする (9) ~ (14) のいずれかに記載の論理演算  
10 回路。

(16) 前記素子の絶縁層が 4 より小さい比誘電率を持つ材料からなることを特徴とする (9) ~ (15) のいずれかに記載の論理演算回路。

(17) 前記素子のカソードがダイヤモンド、もしくはダイヤモンド薄膜を被覆した導電性材料であることを特徴とする (9) ~ (16) のいずれかに記載の論  
15 理演算回路。

(18) 前記素子のカソードがカーボンナノチューブ、もしくはカーボンナノチューブを被覆した導電性材料であることを特徴とする (9) ~ (16) のいずれかに記載の論理演算回路。

(19) 前記素子のカソードが BN、AlN もしくは GaN、もしくはそれらの  
20 薄膜を被覆した導電性材料であることを特徴とする (9) ~ (16) のいずれかに記載の論理演算回路。

(20) 前記素子が 10 V 以下の電圧で動作することを特徴とする (9) ~ (19) のいずれかに記載の論理演算回路。

## 25 図面の簡単な説明

図 1 は、電界放射型微小電子エミッタを用いた NOT 素子の構成およびその回路を示す図である。

図 2 は、本発明の NOR 素子の構成例およびその回路を示す図である。

図 3 は、本発明の NAND 素子の構成例およびその回路を示す図である。

図4は、本発明の素子を用いたエミッタの電界電子放出の電流特性を示す図である。

図5は、本発明のNOR素子の構成例を示す図である。

図6は、本発明のNAND素子の構成例を示す図である。

- 5 図7は、本発明のNAND素子を複数のエミッタから構成した例およびその回路を示す図である。

図8は、本発明のNAND素子であって、アノードとゲートとに重なり面積のないようにした例を示す図である。

- 10 図9は、本発明のNAND素子であって、アノードとカソードとを一体とした例を示す図である。

図10は、本発明のOR演算を行う論理演算回路を示す図である。

図11は、本発明のAND演算を行う論理演算回路を示す図である。

図12は、本発明の論理演算回路であって、素子同士の異なる電極を同一平面に置いた構造を有する例を示す図である。

- 15 図13は、本発明の論理演算回路であって、カソード・ゲート・アノードが同一の基板平面にあり、基板表面と平行方向に電子を放出するようにした例を示す図である。

#### 符号の説明

- 20 A 入力用ゲート  
B 入力用ゲート  
Z 出力用アノード  
Z' 端子

#### 25 発明を実施するための最良の形態

以下に本発明を実施形態に基づき説明する。

本発明の論理演算回路を構成する論理演算素子であるNOT素子、NOR素子およびNAND素子はSpin d t型の電界放射型冷陰極を用いる。

まず、本発明の論理演算回路を構成する基本論理素子となる電界放射型微小電

子エミッタの構成を図1に基づいて説明する。

図1に示すように、基板上に、カソード、絶縁層、ゲート及びアノード電極を形成して電界放射型微小電子エミッタを形成する。カソードの材質としては、Mo、Wなどの高融点金属やSiなどの他に、カーボンナノチューブや、負性電子親和力を持つダイヤモンドや、BN、AlN、GaN等の窒化物半導体などが用いられる。また、MoやSi等の導電性材料の表面にカーボンナノチューブ、ダイヤモンド、BN、AlN、GaN等の窒化物半導体を被覆したものをを用いても良い。これら半導体の導電性の付与の仕方には特に制限はなく、p型不純物、n型不純物、あるいは欠陥に起因するn型キャリアなどを用いることができる。絶縁層の材料としてはSiO<sub>2</sub>、窒化ケイ素、酸窒化ケイ素、Al<sub>2</sub>O<sub>3</sub>、CaF<sub>2</sub>などが用いられる。ゲート及びアノード電極にはMo、Nb、Taなどの高融点金属やWSi<sub>2</sub>などの高融点金属シリサイドなどが用いられる。

カソードは特にダイヤモンドが望ましい。ダイヤモンドは負性電子親和力を有するため、低電圧で動作し、低消費電力の論理回路を作製できる。また逆に放出電子電流を大きく取ることもでき、この場合には後に述べるNAND素子の緩和時間を低減できる。またダイヤモンド及びカーボンナノチューブは表面に絶縁性の酸化層が形成されないため、 $10^{-6}$ Torr程度の比較的low真空でも電子放出素子として動作させることが出来る。

上記の電界放射型微小電子エミッタを用いてNOT素子を構成するために以下のように配線する。アノードは受動素子または能動素子を介して高電位電源に接続する。本発明における受動素子とは抵抗、キャパシタなどであり、抵抗としては例えばポリシリコンや窒化タンタルなどを用いることができるが、これらの材料に限定されない。また能動素子にはトランジスタや動作特性の異なる電界放射型微小電子エミッタを配しても良い。カソードは低電位電源もしくはグラウンドに接続する。この際、基板が導電性であって、基板を通してカソードを接続しても良い。また、基板が絶縁性でカソードまで電極を配して接続しても良い。図1は前者の例を示したものである。これらのカソードは単数でも、複数でよい。

以上のように構成されたNOT素子の動作について説明する。ゲート電極に電圧信号を入力し、ゲートが高電位のときカソードから電子放出が起こり、アノード



ド電位を低下させる。逆にゲートが低電位のときはカソードから電子放出が起こらず、アノードは高電位となる。このように入力値の否定がアノード電位として出力される。

次に本発明のNOR素子を図2に基づいて説明する。

- 5 NOR素子は上記NOT素子のエミッタの部分、アノードとカソードを並列につないだ2つ以上のエミッタで置き換えることによって得られる。このとき、片方、もしくは両方の入力用ゲートが高電位のときカソードから電子放出が起こり、出力のアノードは低電位となる。両方の入力用ゲートが低電位のときカソードから電子放出が起こらないため、出力のアノードは高電位となり、NOR素子  
10 として機能する。

次に本発明のNAND素子を図3～図9に基づいて説明する。

- NAND素子は、図3に示すように、上記NOT素子のエミッタ部分を、アノードとカソードとを直列につないだ2つ以上のエミッタで置き換えることによって得られる。このとき、2つのエミッタのカソード間は電氣的に絶縁されている  
15 必要がある。また、アノードとカソードとを、第1エミッタと第2エミッタとの間に垂直に形成された柱状電極を用いて直列接続する。この形状の接続電極は表面積の大きい平面上電極と比べて静電容量を減少させて動作をより高速化することができる。

- 絶縁性基板には $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、等の基板を用い、その上にMo、W等の金属や、Si、カーボンナノチューブなどのカソードを形成する。また、Mo、W、Si等の導電性材料の表面にカーボンナノチューブ、ダイヤモンド、BN、AlN、GaNなどの薄膜を形成しても良い。また、図6に示すように、基板をダイヤモンド等のノンドーパで大きい抵抗を持つ半導体とし、そのカソードの部分に  
20 だけドーピングして電気伝導性を持たせても良い。

- 25 このNAND素子の動作は、両方の入力用ゲートが高電位のとき、全てのカソードから電子放出が起こり、出力のアノードは低電位となる。片方、もしくは両方の入力用ゲートが低電位のときカソードから電子放出が起こらず、出力のアノードは高電位となり、NAND素子として機能する。

以上のようにして基本論理回路であるNOT素子、NOR素子およびNAND

素子を形成することができる。なお、これらの素子を構成するエミッタは単数でも、複数でも良い。図7に複数のエミッタから構成されたNAND素子の例を示す。

また、本発明者らが検討を重ねた結果、NAND素子は入力電圧によっては動作に遅延が起こることが分かった。例えば図3に示すものにおいて、入力用ゲートAが高電位であり、入力用ゲートBが低電位のとき、理想的には電子放出が起こらないはずであるが、実際にはAに属するカソードから電子放出が起こり、カソードが帯電して電位が上昇して定常状態になるまで緩和時間が必要になる。したがって、緩和時間を低下させるには静電容量を低下させる必要がある。緩和時間を短縮して高速動作を行うために、本発明者らは特にカソードに接続されているアノードとゲートの間の静電容量を小さくすれば良いことを見出した。

一般に平行平板の電極の静電容量Cは $C = \epsilon S / d$ で表される。 $\epsilon$ は誘電率、Sは面積、dは電極間距離である。dは素子構造上、変化させるのは難しい。また、従来はカソードとゲートの重なり面積Sを小さくして静電容量を下げる例  
[IEEE Trans. Elec.Dev.,38(1991)2368]が見られたが、十分に静電容量を小さくできるとは言えない。そこで図8に示すようにゲートとアノードを基板表面に投影した場合に重なり面積が無い構造にすれば静電容量を小さくし、電荷量を小さくすることができる。なお、図8の平面図は、重なり面積の無い方だけの平面図を示す。

また、従来のSpindt型冷陰極は絶縁層に $\text{SiO}_2$ や $\text{Al}_2\text{O}_3$ などが用いられてきたが、それらは比誘電率が4以上であった。しかし、 $\text{SiOF}$ や $\text{SiOH}$ 、ポーラス状誘電体や有機ポリマーなど比誘電率が4より小さい材料を絶縁層に用いれば、従来より静電容量が小さくなり、NAND素子を高速に動作させることができる。また、誘電率を極限まで下げるために、電極間には絶縁層の代わりに真空を配置しても良い。

さらに、図9に示すように、第1エミッタのアノードと第2エミッタのカソードとを一体とする構造を取れば、余分な配線による静電容量が発生しないため、NAND素子を高速に動作させることができる。

以上のような方法によりNAND素子を高速に動作させることができるが、N

AND素子には必ず動作の遅延が発生する。そこでNAND素子を用いずにNOT素子とNOR素子のみで論理演算回路を構成するようにしても良い。この場合、高速で動作できるという機能の他に、図1、2で見られるようにカソードを全て同電位にすることが可能になる。従って、従来の電子放出素子ではカソードを保持する基板に絶縁性材料を用いる必要があったが、本発明においては金属等の導電性材料を用いることができる。

また、ダイヤモンド等の半導体材料をカソード材料にする場合、カソード及び下部の基板全体に一括してドーピングして導電状態にすることができる。従来、このように基板が導電性を持つ場合は、電子ビーム装置など全てのカソードが同じ機能をする大電流用途に用いられてきた。しかし、本発明の構成であれば、基板が導電性を持ちつつ個々のカソードが独立して機能するという、従来にない特徴を有する。

論理演算を接続するには、図10や図11に示すように、各電極の位置が合うように電極位置をずらす構造を各エミッタの間に作る。

しかしこの構成では電極の絶縁性を確保するために各エミッタとの位置関係に工夫が必要であったり、電極が近接するため動作遅延の原因となる静電容量の発生が起こる。そこで、図12の(a)に示すように、接続すべきアノードとゲートとが同一平面になるか、(b)に示すようにアノードとカソードとが同一平面になるように各電極を作製する。このようにすれば、前述の静電容量が発生しないほか、位置合わせのための電極配線が要らないため、カソードの面密度を増やすことができる。したがって、従来より面密度の高い回路を作製することができる。

これらの構造はSpindt型のようにカソードを平面上に多数配置して基板平面に垂直に電子を放出する場合のほか、図13に示すように基板平面に平行に電子を放出する場合でも良い。このようにすればゲート・アノード等の電極を一括して形成することができ、複雑な論理演算回路を作製する工程を簡略化できる。さらにこの構成では絶縁に真空を使えるため、誘電率が小さく、動作遅延を抑えることができる。また、基板にダイヤモンドなどの熱伝導率の高い材料を用いれ

ば、演算の駆動電力で発生する熱のヒートシンクとして機能し、論理演算回路の熱対策となる。

### 実施例

- 5      以下、実施例に基づいて本発明の実施形態を説明する。なお、これらの実施例は本発明の範囲を制限するものではない。

#### [実施例1]

- 本実施例では、図1～3に示す基本の断面構造及び電気回路のNOT、NOR、NAND素子を作成した。NOTとNORはカソードを接地し、NANDの第2  
10   エミッタのカソードは、第1のエミッタのアノードと柱状Mo電極を介して接続した。柱状Mo電極は直径0.5  $\mu\text{m}$ とした。1つの電子エミッタはSpindt型の冷陰極、基板はSiO<sub>2</sub>、カソードは突起形状のMo、絶縁層はSiO<sub>2</sub>、ゲート電極及びアノード電極はMoとした。エミッタ高さは2  $\mu\text{m}$ 、直径0.5  $\mu\text{m}$ 、ゲート開口径0.8  $\mu\text{m}$ 、ゲート電極高さ0.8  $\mu\text{m}$ 、ゲートとアノード  
15   の距離は、0.5  $\mu\text{m}$ とした。この構造で、ゲート容量C<sub>g</sub>は2.2 pF、相互コンダクタンスは35 mSであった。各エミッタの間隔は5  $\mu\text{m}$ とし、エミッタ密度は4 x 10<sup>6</sup>本/cm<sup>2</sup>として、図1～3の基本構造のエミッタを集積した素子を作成した。各素子は、周波数10 GHzで動作可能であった。

#### [実施例2]

- 20   本実施例では、基板として(111)面を表面に持つ高圧合成のIb単結晶からなるダイヤモンド基板を用いた。該ダイヤモンド基板の上にマイクロ波プラズマCVD法を用いて水素200 sccm、メタン1 sccm、ホスフィン流量をPH<sub>3</sub>/CH<sub>4</sub>=0.1%、圧力100 Torr、試料温度870°Cで膜厚1  $\mu\text{m}$ のリンドーブダイヤモンドを成膜した。
- 25   次にスパッタ法でAlを成膜し、フォトリソプロセスで1  $\mu\text{m}$ φのドットパターンを作製した。これをRIE法で酸素を50 sccm、CF<sub>4</sub>ガスを0.5 sccm流し、圧力50 mTorrで1.5  $\mu\text{m}$ エッチングした。高さ1  $\mu\text{m}$ の突起が形成され、電気伝導するPドーブ部分は突起先端から0.5  $\mu\text{m}$ までで、各エミッタを電氣的に分離することができた。

このようにして作成した図1に示すエミッタの電界電子放出の電流電圧特性を、図4に示す。なお、負荷抵抗は10M $\Omega$ とした。ゲート電圧2V ( $V_g = 2$  V) 以下では、電子が放出されずOFF状態になり、ゲート電圧10V ( $V_g = 1.0$  V) では、電子が放出されたONの状態になることが判った。

- 5 次に図5、6に示すNORとNAND素子を作成した。NOR素子では、エミッタの上下にMo電極を配し、NAND素子では、第1エミッタと第2エミッタとの間に柱状のMo電極を垂直に配置し、該柱状Mo電極により第1のエミッタのアノード電極を第2のエミッタのカソードのドーピング部分に接続した。それぞれの素子の動作電圧を表1、2に示す。表1から判るように、NOR素子では、
- 10 片方もしくは両方のゲート電圧を10Vとすることによって、出力電圧は、2V以下の低電圧状態になり、両方のゲート電圧が低電圧状態の時、出力電圧は、10Vの高電圧状態となる。また、表2から、NAND素子では、両方のゲート電圧が10Vの高電圧状態の時に出力電圧が、低電圧状態になる。このように、エミッタの材質をダイヤモンドとすれば、10V以下の低電圧動作が可能であること
- 15 が確認された。

表1 NOR素子の各端子の電圧

端子	A	B	Z
動作電圧 (V)	10	10	1.6
	10	0	2
	0	10	2
	0	0	10

表2 NAND素子の各端子の電圧

端子	A	B	Z'	Z
動作電圧 (V)	0	0	0	10
	10	10	0.9	1.8
	0	10	0	10
	10	0	9	10

## [実施例3]

NAND素子は前述の通り入力値によっては緩和時間が必要になる。そこで実施例1のNAND素子において、その静電容量を小さくし、緩和時間を減少させるために、電極パターンを図8で示したものに变えた。ここでは、第1エミッタ  
5   のアノードとゲート電極とを素子平面に投影したときに重なり面積がないようにした。これによって従来の重なりがある構造と比較して静電容量が1.1 pFに下がり、緩和時間が減少した。

## [実施例4]

実施例1と同様にSiO<sub>2</sub>基板の上にMoでカソード・アノード・ゲートを形成し、電極間の絶縁材料にはSiOFを用いてNOT素子、NOR素子およびNAND素子を作製した。このSiOFは比誘電率が3.6であるため、実施例1  
10   と同じ素子構成で静電容量を2.0 pFに低減することができた。

## [実施例5]

実施例3、4により動作速度の上昇が可能となったが、第1エミッタから第2エミッタまで通電するため電極と近傍のゲートとの間に静電容量を発生してしまう。そこで、極限まで配線を短くするために、実施例3のNAND素子を変形して図9に示すようにアノードとエミッタとを一体にした。これによって、第1のエミッタのゲート・アノード間の静電容量と、第2エミッタのカソード・ゲート間の静電容量、および上部と下部の電極をつなぐ柱状電極と周辺電極で発生する  
15   静電容量を同時に低減し、緩和時間を下げることができた。

## [実施例6]

基板として、(100)面を表面に持つ高圧合成のIb単結晶からなるダイヤモンド基板を用いた。このダイヤモンド基板の上にマイクロ波プラズマCVD法を用いて水素100 sccm、メタン6 sccm、ジボランガスをB<sub>2</sub>H<sub>6</sub>/CH<sub>4</sub>  
25   =167 ppmの流量とし、圧力40 Torr、試料温度830°Cで膜厚10 μmのホウ素ドープダイヤモンドを成膜した。

この上に、スパッタ法でAlを成膜し、フォトリソプロセスで1 μmφのドットパターンを作製した。これを酸素とCF<sub>4</sub>ガスで1.5 μmエッチングし、高さ1 μmの突起を形成した。ダイヤモンド基板の側面に電極を取り、カソード全

体を接地した。その後、MoとSiO<sub>2</sub>でゲート電極、アノード電極および絶縁層を形成し、NOT素子とNOR素子とからなる論理演算回路を形成した。

実施例2で作製したものよりも素子構造が簡易であるため、工程数を削減できた。

- 5 同様に、膜厚1  $\mu\text{m}$ のホウ素ドーパダイヤモンドを成膜し、実施例2と同様の工程でNOT素子とHAND素子とからなる論理演算回路を構成した。得られた論理演算回路と先に作製した論理演算回路との演算時間を比較したところ、NOT素子とNOR素子だけを用いた方が合計緩和時間が短かった。

#### [実施例7]

- 10 実施例1のNOR素子及びNAND素子を変形して、図12に示したようにエミッタの高さを変え、第1素子の出力アノードが次の素子のゲートもしくはカソードに同一平面で接続できるようにした。このようにすることにより、絶縁性確保のために横方向に絶縁層マージンをとる必要が無く、面積あたりの素子数を増加することができた。

- 15 各素子や電極の間に1  $\mu\text{m}$ の絶縁層を取るとして、NOT素子を100個つなげた演算回路を作製した。従来構造で作製した場合は面積が2500  $\mu\text{m}^2$ 必要だったのに対し、新構造では900  $\mu\text{m}^2$ の小面積に削減された。

#### [実施例8]

- 20 基板の上に絶縁層のSiO<sub>2</sub>と金属電極のMoを成膜した後、フォトリソプロセスとエッチングにより図13に示すようにエミッタ、ゲート、アノードを基板表面から同じ高さになるように形成した。このときの電極パターンとして図の下端に示したようなNOT素子、NOR素子、NAND素子を形成した。

- 25 実施例1では絶縁層・ゲート電極・絶縁層・アノード電極の最低4回の成膜プロセスが必要であったが、本実施例の構造では絶縁層と電極の2回の成膜で論理演算回路を形成することができた。

さらに横向きでは各電極の間が真空であっても充分強度を持つため、電極間の静電容量を減少させ、高速動作を行うことができた。

#### [実施例9]

実施例1の構成の論理素子を作製した。さらに触媒としてFeをカソードの突

- 起部分に蒸着し、マイクロ波プラズマCVD法を用いて水素100 s c c m、C H<sub>4</sub>を20 s c c m、圧力を2 T o r r、基板温度600℃の条件で突起上にカーボンナノチューブを形成した。得られた論理演算回路は、同じ回路構成を持つMoカソードを用いた論理演算回路よりも低電圧で動作し、演算に要する電力を
- 5 削減することができた。

#### [実施例10]

- 表面に実施例1と同じ形状の突起を加工したn型Siを基板に用い、プラズマアシストCVD法でBCl<sub>3</sub>、N<sub>2</sub>ガスを用いてSi表面にBN薄膜を20 nmの膜厚で形成した。その後、絶縁層、ゲート・アノード電極を形成し、論理演算回
- 10 路を作製した。得られた論理演算回路は、同じ回路構成を持ちBN薄膜をコーティングしていないSiカソードを用いた論理演算回路よりも低電圧で動作し、演算に要する電力を削減することができた。

#### 産業上の利用可能性

- 15 以上詳述したように、本発明の論理演算回路は電子移動度が高速な電界放射型冷陰極を用いた高密度の基本論理素子を用いているため、個々の素子が演算の際に発生させる緩和時間を低減することが出来ると共に消費電力が少なくかつ高速で動作可能なものであり、またその製造工程も簡便で工程数が少ないため製造コストを低減することが出来るという、単に真空管と冷陰極素子の組合せでは実現
- 20 できない効果を得ることが出来る。



## 請求の範囲

1. 2つ以上の電界放射型微小電子エミッタのカソードを低電位電源もしくはグラウンドに並列に接続し、前記エミッタに対応する2つ以上のアノードを受動素子または能動素子を介して高電位電源に並列に接続し、2つ以上のアノードが実質的に同電位であり、前記エミッタに対応するゲート電極に2系統以上の信号電圧を入力する構造であって、2系統のどちらかに高電位の入力信号が入るとエミッタから電子放出が起こり、前記アノードの電位を低下させることを特徴とするNOR素子。
- 10 2. 前記2つ以上の電界放射型微小電子エミッタのそれぞれに対応するアノード電極が単一の平面で構成されることを特徴とする請求項1記載のNOR素子。
3. 10V以下の電圧で動作することを特徴とする請求項1又は2記載のNOR素子。
4. 第1の電界放射型微小電子エミッタのアノードと第2の電界放射型微小電子エミッタのカソードとが直列接続されており、第1エミッタと第2エミッタに対応するゲート電極には2系統の信号電圧が加えられており、両入力信号が高電位のときに第2エミッタのアノード電位を低下させることを特徴とするNAND素子。
- 15 5. 第1の電界放射型微小電子エミッタのカソードと第2の電界放射型微小電子エミッタのカソードとが同一平面にあり、該第1のエミッタと該第2のエミッタとの間に垂直に形成された柱状電極によって該第1のエミッタのアノードと該第2のエミッタのカソードとが直列接続されることを特徴とする請求項4に記載のNAND素子。
- 20 6. 第1の電界放射型微小電子エミッタのアノードと第2の電界放射型微小電子エミッタのカソードとを一体として直列接続したことを特徴とする請求項4に記載のNAND素子。
- 25 7. 前記NAND素子の前記第1の電界放射型微小電子エミッタのアノードとゲート電極を素子平面に投影したときに重なり面積がないことを特徴とする請求項4～6のいずれかに記載のNAND素子。

8. 10V以下の電圧で動作することを特徴とする請求項4～7のいずれかに記載のNAND素子。
9. 請求項1～3のいずれかに記載のNOR素子および/または請求項4～8のいずれかに記載のNAND素子を論理演算素子として含む論理演算回路。
- 5 10. 界放射型微小電子エミッタのカソードを低電位電源もしくはグラウンドに接続し、アノードを受動素子または能動素子を介して高電位電源に接続し、ゲートに入力する電位で出力のアノード電位を変化させるNOT素子を論理演算素子として含むことを特徴とする請求項9に記載の論理演算回路。
11. NOT素子とNOR素子とからなり、それらのエミッタのカソードを同
- 10 電位にして論理演算を接続することを特徴とする請求項9または10に記載の論理演算回路。
12. 各素子の出力のアノードを受動素子を介するか、または直接に別の素子のゲートに接続させて論理演算の接続していることを特徴とする請求項9～11のいずれかに記載の論理演算回路。
- 15 13. 隣り合う二つの電界放射型微小電子エミッタが、一方のエミッタのアノードと他のエミッタのゲートとが同一平面となる構造、一方のエミッタのアノードと他のエミッタのカソードとが同一平面となる構造または前記両者の構造を併せ持つ構造を有することを特徴とする請求項9～12のいずれかに記載の論理演算回路。
- 20 14. カソード・ゲート・アノードが同一の基板平面にあり、基板表面と平行方向に電子を放出することを特徴とする請求項9～13のいずれかに記載の論理演算回路。
15. 前記素子の基板としてノンドープの半導体基板を用い、各エミッタの突起部分もしくは周辺にのみ導電性のドーピング領域を作って各エミッタを電氣的
- 25 に分離していることを特徴とする請求項9～14のいずれかに記載の論理演算回路。
16. 前記素子の絶縁層が4より小さい比誘電率を持つ材料からなることを特徴とする請求項9～15のいずれかに記載の論理演算回路。
17. 前記素子のカソードがダイヤモンド、もしくはダイヤモンド薄膜を被覆

した導電性材料であることを特徴とする請求項 9 ～ 16 のいずれかに記載の論理演算回路。

18. 前記素子のカソードがカーボンナノチューブ、もしくはカーボンナノチューブを被覆した導電性材料であることを特徴とする請求項 9 ～ 16 のいずれかに記載の論理演算回路。

19. 前記素子のカソードが BN、AlN もしくは GaN、もしくはそれらの薄膜を被覆した導電性材料であることを特徴とする請求項 9 ～ 16 のいずれかに記載の論理演算回路。

20. 前記素子が 10 V 以下の電圧で動作することを特徴とする請求項 9 ～ 19 のいずれかに記載の論理演算回路。

1/7

FIG. 1

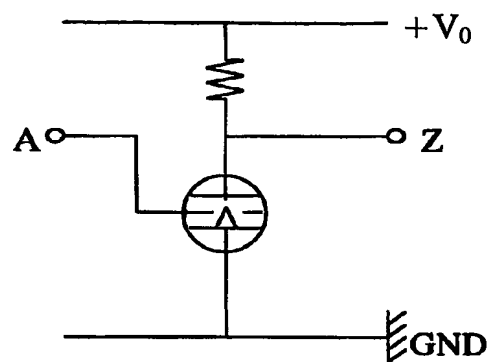
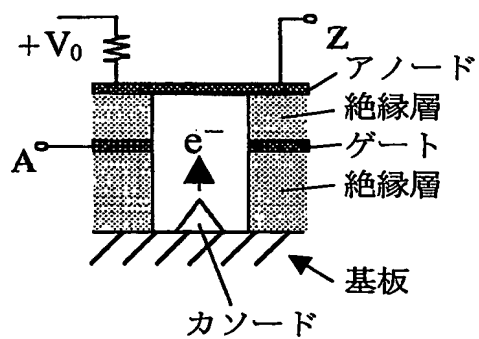
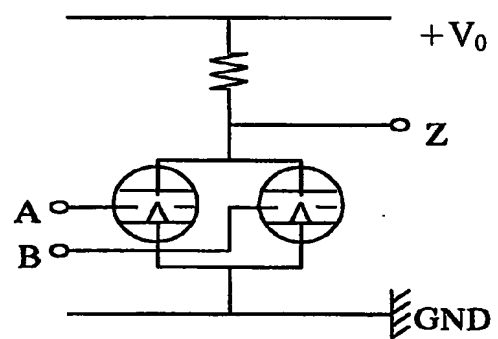
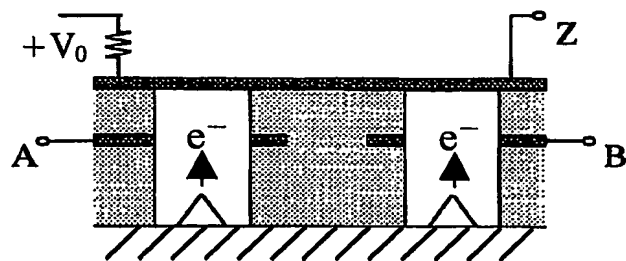


FIG. 2



2/7

FIG. 3

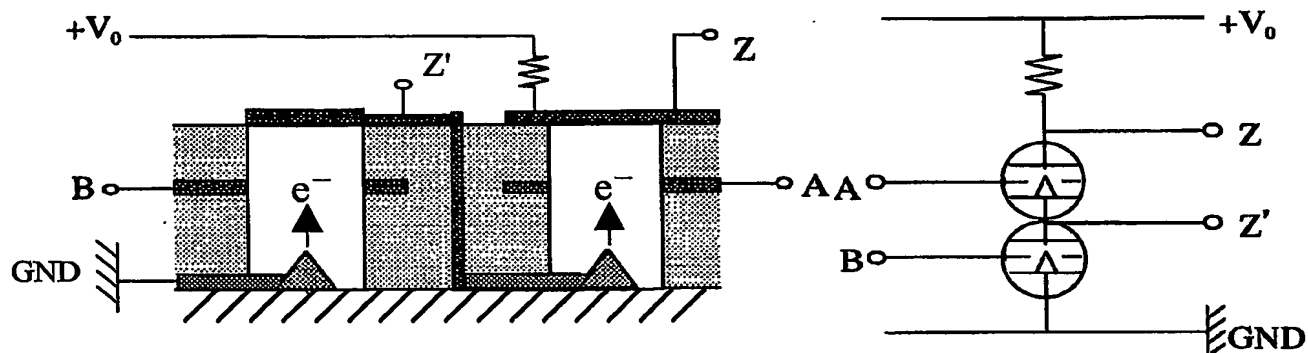
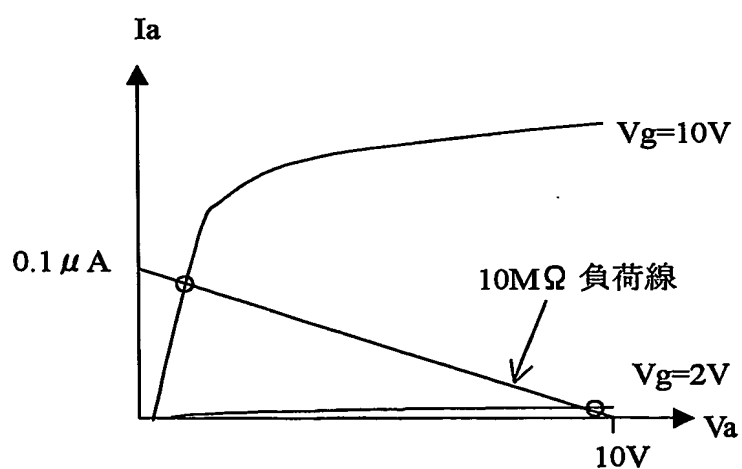


FIG. 4



ダイヤエミッタのI-V曲線

FIG. 5

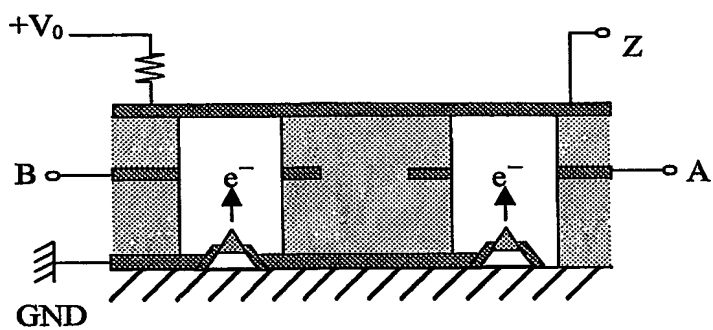


FIG. 6

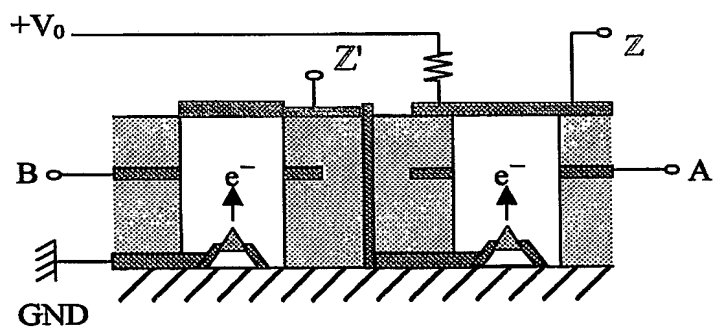


FIG. 7

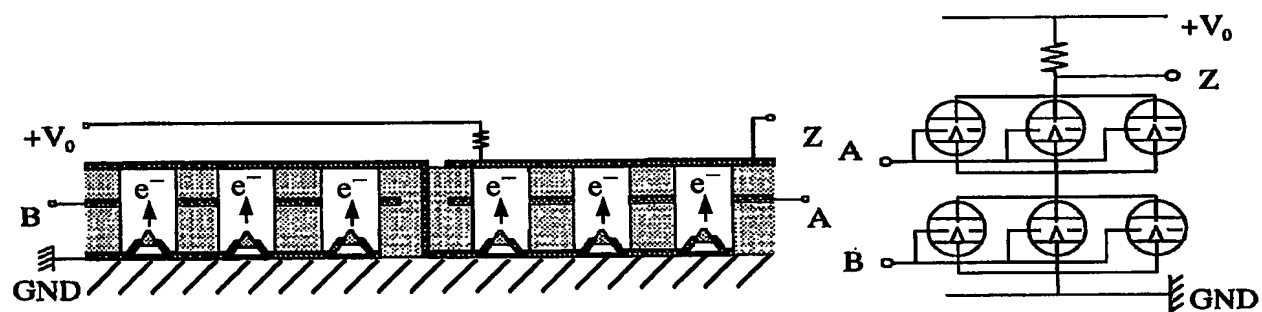


FIG. 8

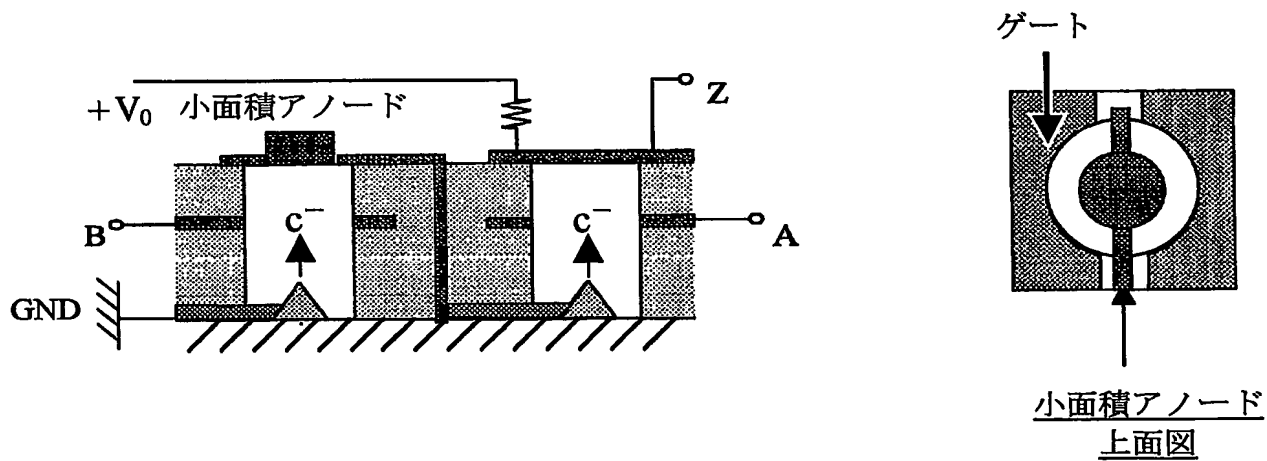


FIG. 9

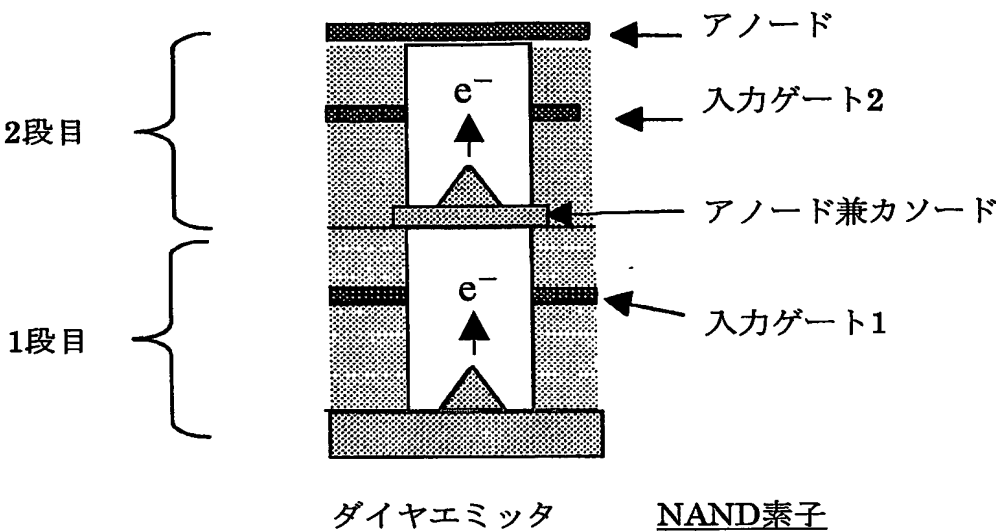


FIG. 10

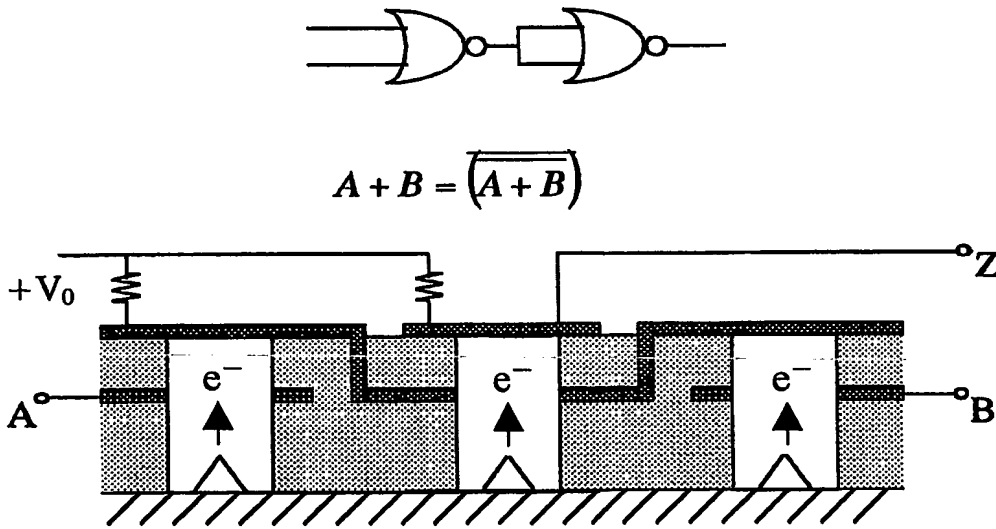




FIG. 11

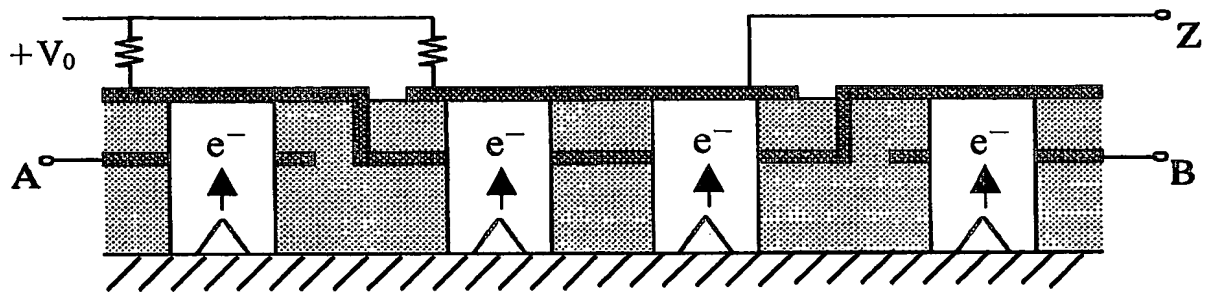
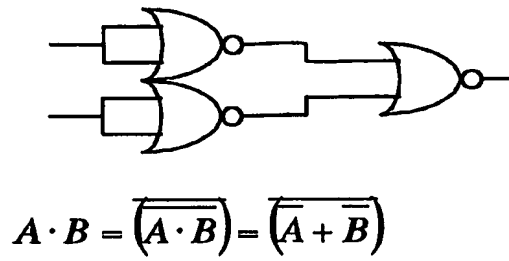


FIG. 12

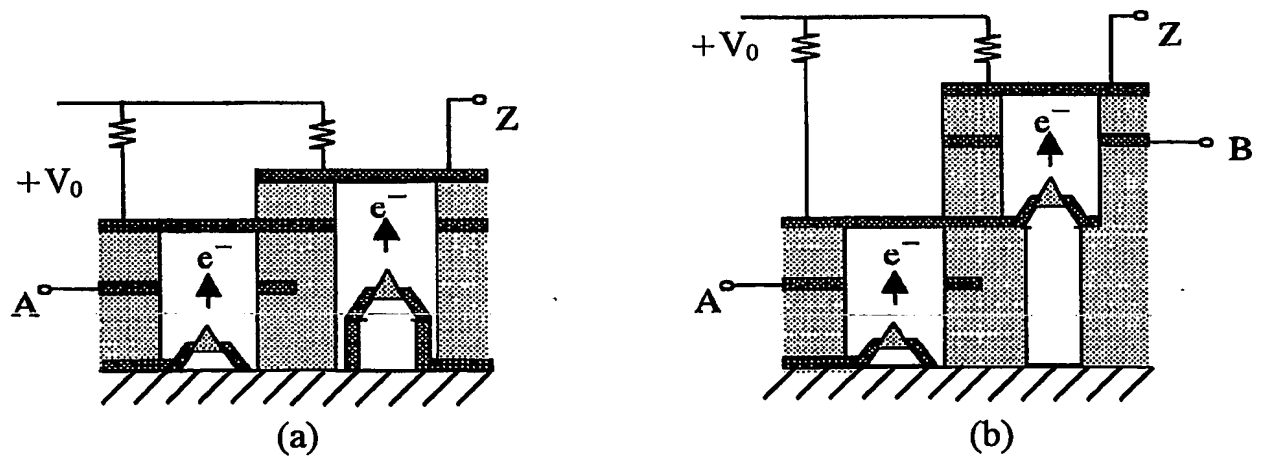
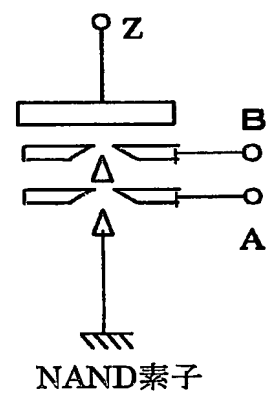
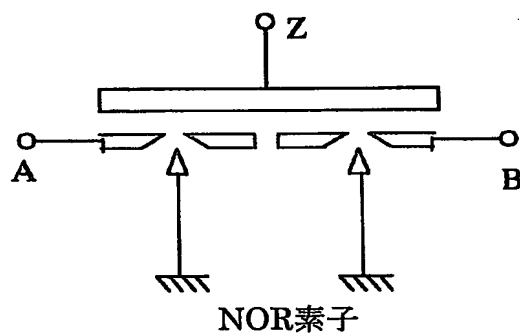
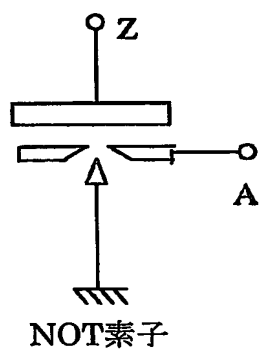
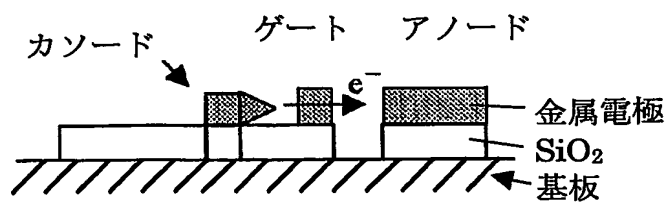


FIG. 13



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002840

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03K19/20, 19/06, H01J21/10, 19/24

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03K19/20, 19/06, H01J21/10, 19/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 7-181920 A (Futaba Corp.), 21 July, 1995 (21.07.95), Figs. 1, 2, 9; columns 23 to 25, 26 to 30, 50 to 53 & US 5589738 A	1-3, 9, 12 4, 8, 10, 11, 15-20
Y	JP 2001-7696 A (Hitachi, Ltd.), 12 January, 2001 (12.01.01), Fig. 5; column 28 (Family: none)	4, 8
A	JP 5-22119 A (Nippondenso Co., Ltd.), 29 January, 1993 (29.01.93), Fig. 1; abstract (Family: none)	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
25 March, 2004 (25.03.04)Date of mailing of the international search report  
06 April, 2004 (06.04.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/J P 2004/002840

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H03K 19/20、19/06  
H01J 21/10、19/24

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl<sup>7</sup> H03K 19/20、19/06  
H01J 21/10、19/24

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2004年  
日本国登録実用新案公報 1994-2004年  
日本国実用新案登録公報 1996-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 7-181920 A (双葉電子工業株式会社) 1995. 07. 21, 図1、図2、図9、本文第23欄~第25欄、第26欄~第30欄、第50欄~第53欄 & U S 5589738 A	1-3, 9, 12 4, 8, 10, 11, 15-20
Y	J P 2001-7696 A (株式会社日立製作所) 2001. 01. 12, 図5、本文第28欄 (ファミリーなし)	4, 8
A	J P 5-22119 A (日本電装株式会社) 1993. 01. 29, 図1、要約欄 (ファミリーなし)	1-20

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

25. 03. 2004

国際調査報告の発送日

06. 4. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

彦田克文

5X

9182

電話番号 03-3581-1101 内線 3556